

Fig.9

This Page Blank (uspto)

Nonvolatile memory device

Patent number:	DE10335065
Publication date:	2004-07-22
Inventor:	KANG HEE BOK (KR); PARK YOUNG JIN (KR)
Applicant:	HYNIX SEMICONDUCTOR INC (KR)
Classification:	
- international:	G11C16/00
- european:	G11C11/412; G11C14/00
Application number:	DE20031035065 20030731
Priority number(s):	KR20020086704 20021230

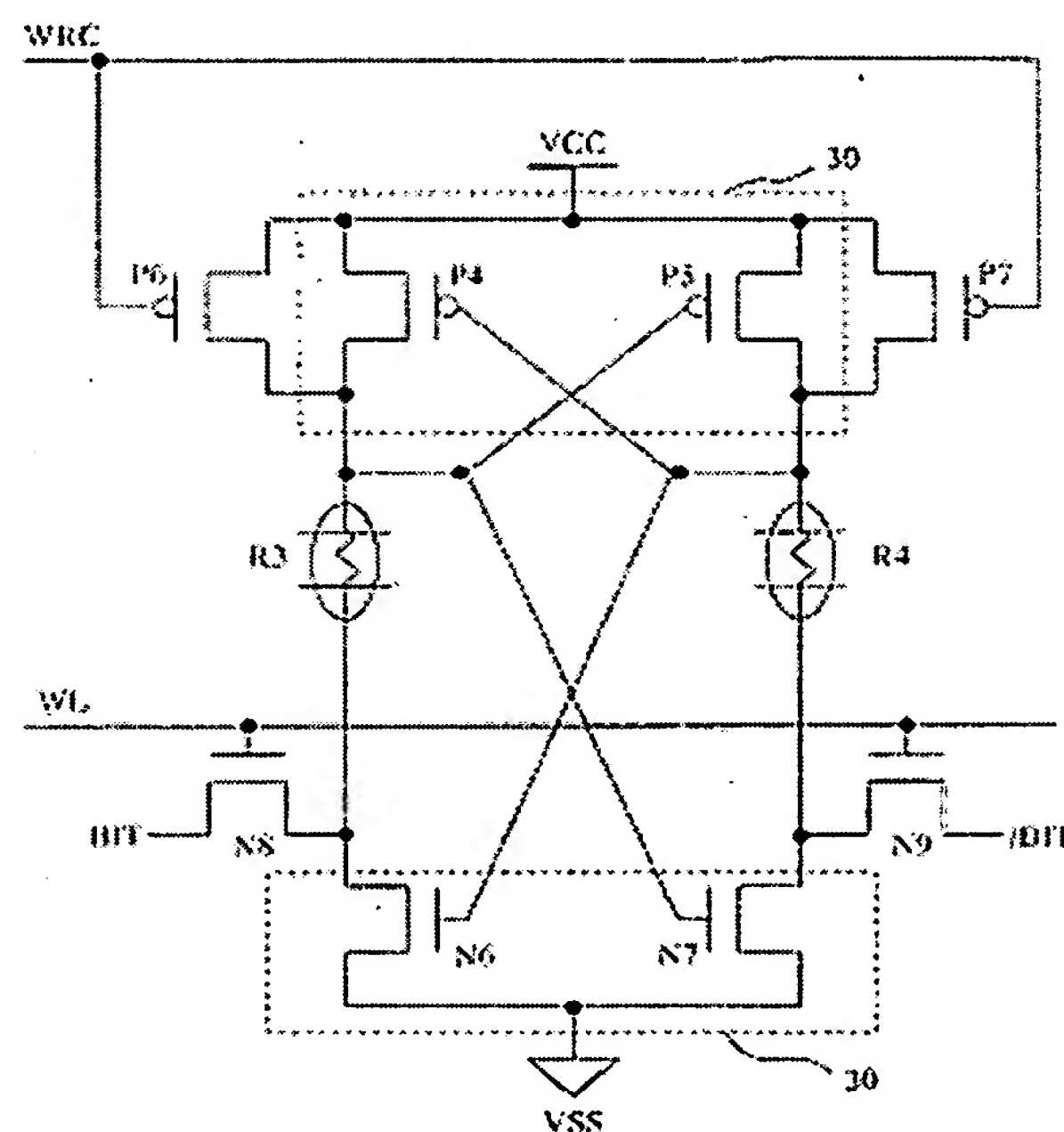
Also published as:

US2004125643 (A)
JP2004213860 (A)

Report a data error here

Abstract not available for DE10335065
Abstract of corresponding document: **US2004125643**

The present invention relates to a nonvolatile memory, device, and more specifically, to a programmable nonvolatile logic switch memory (register) device using a resistive memory device. The programmable nonvolatile register uses a logic switch or a nonvolatile resistive memory device whose resistive state can be set by flowing a controlled current through it.



Data supplied from the **esp@cenet** database - Worldwide

100% pure blank (uspio)

02 P 15688

29



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 35 065 A1** 2004.07.22

(12)

Offenlegungsschrift

(21) Aktenzeichen: 103 35 065.9
(22) Anmeldetag: 31.07.2003
(43) Offenlegungstag: 22.07.2004

(51) Int Cl.⁷: **G11C 16/00**

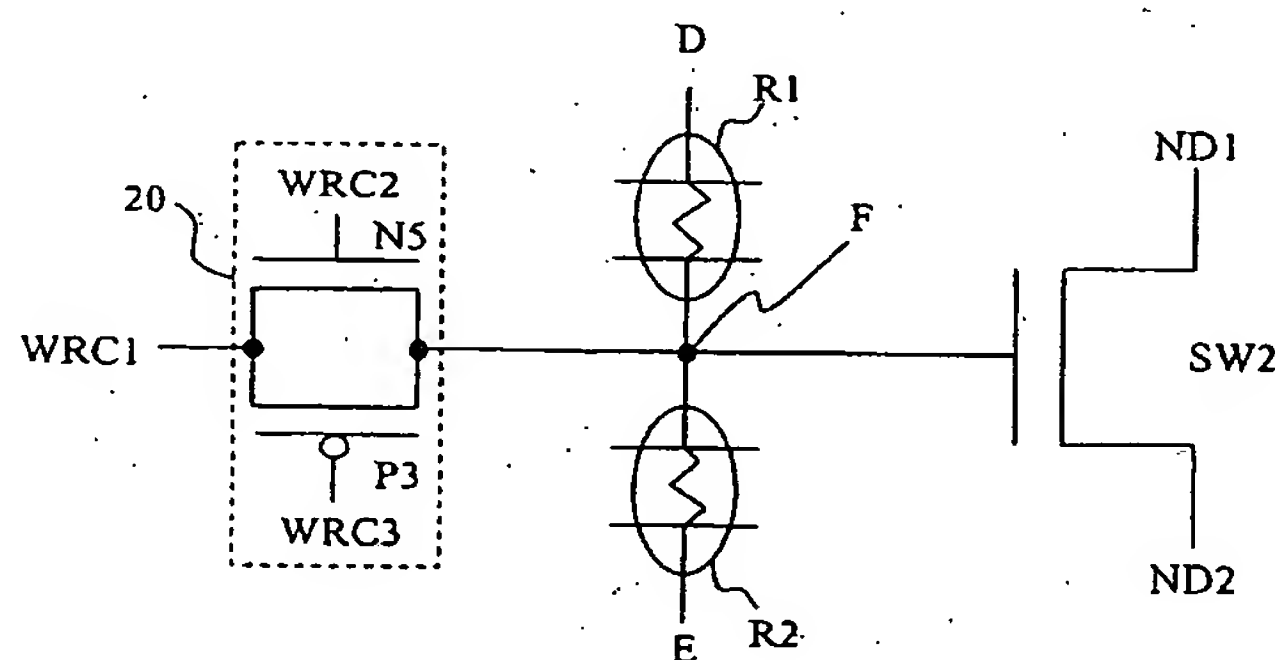
(30) Unionspriorität:
2002-86704 30.12.2002 KR
(71) Anmelder:
Hynix Semiconductor Inc., Ichon, Kyonggi, KR

(74) Vertreter:
PAe Reinhard, Skuhra, Weise & Partner GbR,
80801 München
(72) Erfinder:
Kang, Hee Bok, Daejeon, KR; Park, Young Jin,
Sungnam, Gyeonggi, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Nicht flüchtige Speichereinrichtung**

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine nicht flüchtige Speichereinrichtung, und insbesondere eine programmierbare Einrichtung mit einem nicht flüchtigen Logikschaltspeicher (Register), welche eine Widerstandsspeichereinrichtung anwendet. Das programmierbare, nicht flüchtige Register wendet einen Logikschalter oder eine nicht flüchtige Widerstandsspeichereinrichtung an, deren Widerstandszustand durch Strömen eines geregelten Stromes durch sie eingestellt werden kann.



Beschreibung

HINTERGRUND DER ERFINDUNG

1. GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft eine nicht flüchtige Speichereinrichtung und insbesondere einen programmierbaren, nicht flüchtigen Logikschaltspeicher (Register), welcher eine Widerstandsspeichereinrichtung verwendet.

2. BESCHREIBUNG DES STANDS DER TECHNIK

[0002] Im Allgemeinen weist ein nicht flüchtiger Speicher, wie z.B. ein Magnetspeicher oder ein Phasenumwandlungsspeicher (PCM), eine Datenverarbeitungsgeschwindigkeit auf, welche der eines flüchtigen RAM (Direktzugriffsspeicher) ähnlich ist. Wenn der Strom ausgeschaltet ist, werden Daten des nicht flüchtigen Speichers aufbewahrt.

[0003] **Fig. 1** ist ein Schaltplan, welcher eine herkömmliche flüchtige Logikschalteinrichtung veranschaulicht. Da herkömmliche Logikschalt- und Registereinrichtungen flüchtig sind, werden in solchen Registern gespeicherte Daten nicht aufbewahrt, wenn der Strom ausgeschaltet ist.

[0004] Ein flüchtiger Logikschalter SW1 verbindet einen Knotenpunkt B mit einem Knotenpunkt C in Erwiderung auf ein an einem Gate-Eingabeterminal A angelegtes Steuersignal. Das Gate-Eingabeterminal A des flüchtigen Logikschalters SW1 weist keine Speichereinrichtung zum Speichern von vorherigen und gegenwärtigen Daten auf. Folglich werden in der Speichereinrichtung gespeicherte Daten nicht aufbewahrt, wenn der Strom ausgeschaltet ist.

[0005] **Fig. 2** ist ein Schaltplan, welcher eine herkömmliche flüchtige Speichereinrichtung vom Flipfloptyp veranschaulicht, welche ein SRAM (Statischer Direktzugriffsspeicher) ist.

[0006] Die Speichereinrichtung mit einem Flipflop beinhaltet eine Flipflop-Einheit, welche PMOS-Transistoren P1 und P2 und NMOS-Transistoren N1 und N2 enthält. Die flüchtige Speichereinrichtung vom Flipfloptyp weist weiter NMOS-Transistoren N3 und N4 zum Speichern von Daten auf, welche von den Bitleitungen BIT und /BIT in der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung WL angewendet werden.

[0007] Die herkömmliche flüchtige Speichereinrichtung vom Flipfloptyp kann Daten in beiden Terminals der Flipflop-Einheit mit einem statischen Zustand speichern, wenn der Strom eingeschaltet ist. Die in den beiden Terminals der Flipflop-Einheit gespeicherten Daten werden jedoch gelöscht, wenn der Strom abgeschaltet ist.

[0008] Nicht flüchtige Speichereinrichtungen wurden entwickelt, um das oben erwähnte Problem der herkömmlichen flüchtigen Speichereinrichtung zu lösen. **Fig. 3a bis 3d** sind Diagramme, welche eine herkömmliche Einrichtung eines Phasenumwandlungsspeichers (PCM) veranschaulichen.

[0009] Die PCM-Einrichtung 4 umfasst eine Phasenumwandlungsschicht (PCL) 2 eines Phasenumwandlungsmaterials zum Abnehmen von Spannung und Strom zwischen einer obersten Elektrode 1 und einer untersten Elektrode 3. Die Spannung und der Strom induzieren hohe Temperaturen in der PCL 2, wodurch die elektrische Leitfähigkeit der PCL 2 verändert wird.

[0010] Wie in **Fig. 3c** gezeigt, weist die PCL 2 eine richtige Temperatur auf, um kristallisiert zu werden, wenn ein niedriger Strom von weniger als einem Schwellenwert in der PCM-Einrichtung 4 fließt. Somit bekommt die PCL 2 einen hohen Widerstand.

[0011] In Bezug auf **Fig. 3d** weist die PCL 2 eine Temperatur über einem Schmelzpunkt des Phasenumwandlungsmaterials auf, wenn ein hoher Strom von mehr als einem Schwellenwert in der PCM-Einrichtung 4 fließt. Somit geht die PCL 2 in einen nicht kristallisierten Zustand über, um einen niedrigen Widerstand aufzuweisen.

[0012] Die PCM-Einrichtung 4 kann nicht flüchtige Daten speichern, welche den zwei Widerständen entsprechen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0013] Folglich ist es eine Aufgabe der vorliegenden Erfindung eine programmierbare Einrichtung mit einem nicht flüchtigen Logikschaltspeicher (Register) zu liefern, welche eine nicht flüchtige Widerstandsspeichereinrichtung anwendet.

[0014] In einer Ausführungsform ist eine nicht flüchtige Speichereinrichtung geliefert, welche einen Schreib-/Lesekontroller, eine nicht flüchtige, Widerstandsspeichereinrichtung und einen Logikschalter aufweist. Der Schreib-/Lese-Kontroller steuert selektiv Schreib-/Lese-Steuersignale, welche in einem Schreibmodus freigegeben werden. Wie hierin angewendet, ist eine nicht flüchtige Widerstandsspeichereinrichtung ein Schaltungselement, welches verschiedene Logikwerte im Pegel eines elektrischen Widerstandes eines oder mehrerer Schaltungselemente speichert, so dass die Widerstandszustände des Elements oder der Elemente

durch Regeln der Strommenge, welche durch die Einrichtung fließt, wenn die Schreib-/Lese-Steuersignale freigegeben werden, umgewandelt oder eingestellt werden können (z.B. auf einen hohen Widerstand oder einen niedrigen Widerstand eingestellt). Der Logikschalter wählt Schaltzustände in Abhängigkeit von den verschiedenen in der nicht flüchtigen Widerstandsspeichereinrichtung vorgeschriebenen Logikwerten aus, wenn die Schreib-/Lese-Signale gesperrt werden.

[0015] In einer Ausführungsform ist auch eine nicht flüchtige Speichereinrichtung geliefert, welche eine Flipflop-Einheit, eine nicht flüchtige Widerstandsspeichereinrichtung, einen Zugriffskontroller und eine Stromversorgungseinheit aufweist. Die Flipflop-Einheit umfasst einen PMOS-Signalspeicher und einen NMOS-Signalspeicher und speichert die Gegendaten. Die nicht flüchtige Widerstandsspeichereinrichtung, welche zwischen dem PMOS-Signalspeicher und dem NMOS-Signalspeicher angeschlossen ist, speichert verschiedene Logikwerte in Abhängigkeit von den durch die Strommenge umgewandelten Widerstandszuständen. Der Zugriffskontroller steuert den Anschluss einer Bitleitung und der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung. Die Stromversorgungseinheit speist Strom zum Umwandeln von Daten, welche in der Widerstandsspeichereinrichtung gespeichert sind, wenn die Schreib-/Lese-Steuersignale freigegeben sind.

[0016] In einer Ausführungsform ist auch eine nicht flüchtige Speichereinrichtung geliefert, welche eine Flipflop-Einheit, eine nicht flüchtige Widerstandsspeichereinrichtung und Zugriffskontroller beinhaltet. Die Flipflop-Einheit umfasst einen NMOS-Signalspeicher zum Speichern der Gegendaten. Die nicht flüchtige Widerstandsspeichereinrichtung, welche zwischen einem Stromspannungsterminal und der Flipflop-Einheit angeschlossen ist, speichert verschiedene Logikwerte in Abhängigkeit von den durch die Strommenge geänderten Widerstandszuständen. Der Zugriffskontroller steuert einen Anschluss einer Bitleitung an der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung.

[0017] In einer Ausführungsform wird eine nicht flüchtige Speichereinrichtung geschaffen, welche eine Flipflop-Einheit, einen Zugriffskontroller und eine nicht flüchtige Widerstandsspeichereinrichtung beinhaltet. Die Flipflop-Einheit enthält einen NMOS-Signalspeicher zum Speichern der Gegendaten. Der Zugriffskontroller steuert einen Anschluss einer Bitleitung an der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung. Die nicht flüchtige Widerstandsspeichereinrichtung, welche zwischen der Flipflop-Einheit und dem Zugriffskontroller angeschlossen ist, speichert verschiedene Logikwerte abhängig von den durch die Strommenge geänderten Widerstandszuständen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0018] **Fig. 1** ist ein Schaltplan, welcher eine herkömmliche flüchtige Logikschalteinrichtung veranschaulicht.

[0019] **Fig. 2** ist ein Schaltplan, welcher eine herkömmliche flüchtige Speichereinrichtung vom Flipfloptyp veranschaulicht.

[0020] **Fig. 3a bis 3d** sind Diagramme, welche eine herkömmliche PCM-Einrichtung veranschaulichen.

[0021] **Fig. 4a und 4b** sind Schaltpläne, welche eine nicht flüchtige Speichereinrichtung nach einer Ausführungsform der vorliegenden Erfindung veranschaulichen.

[0022] **Fig. 5 bis 9** sind Schaltpläne, welche eine nicht flüchtige Speichereinrichtung nach anderen Ausführungsformen der vorliegenden Erfindung veranschaulichen.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0023] Die vorliegende Erfindung wird mit Bezug auf die beiliegenden Zeichnungen detailliert erklärt werden.

[0024] **Fig. 4a** ist ein Schaltplan, welcher eine als nicht flüchtiger Logikschalter verwendete nicht flüchtige Speichereinrichtung nach einer Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0025] In einer Ausführungsform umfasst die nicht flüchtige Speichereinrichtung einen Schreib-/Lese-Kontroller **20**, Widerstandsspeichereinrichtungen **R1** und **R2** und einen Logikschalter **SW2**.

[0026] Der Schreib-/Lese-Kontroller **20** gibt selektiv ein Schreib-/Lese-Steuersignal **WRC1** in Erwiderung auf ein Schreib-Steuersignal **WRC2**, welches in ein Gate eines NMOS-Transistors **N5** eingegeben wurde, und ein Schreib-Steuersignal **WRC3** aus, welches in ein Gate eines PMOS-Transistors **P3** eingegeben wurde. Das Schreib-Steuersignal **WRC2** weist eine Gegenphase zu der des Schreib-Steuersignals **WC3** auf.

[0027] Die Widerstandsspeichereinrichtung **R1** ist zwischen einem Knotenpunkt **D** und einem Knotenpunkt **F** angeschlossen. Die Widerstandsspeichereinrichtung **R2** ist zwischen einem Knotenpunkt **E** und einem Knotenpunkt **F** angeschlossen. Der Knotenpunkt **F** ist an einem Gate des Logikschalters **SW2** angeschlossen.

[0028] Als nächstes wird der Schreibvorgang nach einer Ausführungsform der vorliegenden Erfindung beschrieben.

[0029] Wenn das in den Schreib-/Lese-Kontroller **20** eingegebene Schreib-Steuersignal **WRC2** einen hohen Pegel erreicht hat, wird der NMOS-Transistor **N5** eingeschaltet. Wenn sich das Schreib-Steuersignal **WRC3** an einem niedrigen Pegel befindet, wird der PMOS-Transistor eingeschaltet und das Schreib-/Lese-Steuersi-

gnal WRC1 wird ausgegeben.

[0030] Wenn Strom zwischen den Knotenpunkten D und F angelegt wird, werden Daten in die Widerstandsspeichereinrichtung R1 geschrieben. Wenn Strom zwischen den Knotenpunkten E und F angelegt wird, werden Daten in die Widerstandsspeichereinrichtung R2 geschrieben.

[0031] Die Widerstandsspeichereinrichtungen R1 und R2 der Fig. 4a können wie diese in Fig. 4b dargestellt werden.

[0032] Wenn sich das Schreib-/Lese-Steuersignal an einem niedrigen Pegel befindet und sich das Schreib-Steuersignal WRC 3 an einem hohen Pegel befindet, werden der NMOS-Transistor N5 und der PMOS-Transistor P3 ausgeschaltet. Wenn die Widerstandsspeichereinrichtung R1 hier einen niedrigen Widerstand und die Widerstandsspeichereinrichtung R2 einen hohen Widerstand aufweist, werden die Zustände des Logikschalters SW2 in Abhängigkeit von den Zuständen der Eingangssignale durch die Eingangsknotenpunkte D und E bestimmt.

[0033] Tabelle 1 zeigt den von Eingangssignalen abhängigen Betrieb des Logikschalters SW2 wenn L-Daten (low) in der Widerstandsspeichereinrichtung R1 und H-Daten (high) in der Widerstandsspeichereinrichtung R2 gespeichert werden.

[Tabelle 1]

D	E	R1	R2	SW2
L	L	L	H	AUS
H	L	L	H	AN
L	H	L	H	AUS
H	H	L	H	AN

[0034] Wenn ein Hochpegelsignal an den Knotenpunkt D und ein Hoch- oder Niedrigpegelsignal an den Knotenpunkt E angelegt ist, wird der Logikschalter SW2 eingeschaltet, um ein Signal des Knotenpunktes ND1 in den Knotenpunkt ND2 auszugeben.

[0035] Wenn andererseits aber ein Niedrigpegelsignal an den Knotenpunkt D und ein Hoch- oder Niedrigpegelsignal an den Knotenpunkt E angelegt ist, wird der Logikschalter SW2 ausgeschaltet. Folglich wird das Signal des Knotenpunktes ND1 nicht in den Knotenpunkt ND2 ausgegeben.

[0036] Wenn die Widerstandsspeichereinrichtung R1 einen hohen Widerstand und die Widerstandsspeichereinrichtung R2 einen niedrigen Widerstand aufweist, werden die Zustände des Logikschalters SW2 in Abhängigkeit von den Zuständen der durch die Eingangsknotenpunkte D und E eingegebenen Eingangssignale bestimmt.

[0037] Tabelle 2 zeigt den Betrieb des Logikschalters SW2 in Abhängigkeit von den Eingangssignalen, wenn H-Daten (high) in der Widerstandsspeichereinrichtung R1 und L-Daten (low) in der Widerstandsspeichereinrichtung R2 gespeichert sind.

[TABELLE 2]

D	E	R1	R2	SW2
L	L	H	L	AUS
H	L	H	L	AUS
L	H	H	L	AN
H	H	H	L	AN

[0038] Wenn ein Hoch- oder Niederpegelsignal an den Knotenpunkt D und ein Hochpegelsignal an den Knotenpunkt E angelegt ist, wird der Logikschalter SW2 angeschaltet, um ein Signal des Knotenpunktes ND1 in den Knotenpunkt ND2 auszugeben.

[0039] Wenn ein Hoch- oder Niederpegelsignal an den Knotenpunkt D und ein Niederpegelsignal an den Knotenpunkt E angelegt ist, wird der Logikschalter SW2 ausgeschaltet. Folglich wird das Signal des Knotenpunktes ND1 nicht in den Knotenpunkt ND2 ausgegeben.

[0040] **Fig. 5** ist ein Schaltplan, welcher eine als ein nicht flüchtiges Logikregister verwendete nicht flüchtige Speichereinrichtung nach einer anderen Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0041] In einer Ausführungsform beinhaltet die nicht flüchtige Speichereinrichtung eine Flipflop-Einheit **30**, Widerstandsspeichereinrichtungen **R3** und **R4**, einen Zugriffskontroller, welcher NMOS-Transistoren **N8** und **N9** enthält, und eine Stromversorgungseinheit, welche PMOS-Transistoren **P6** und **P7** enthält.

[0042] Die Flipflop-Einheit **30** weist einen NMOS-Signalspeicher, welcher NMOS-Transistoren **N6** und **N7** enthält, und einen PMOS-Signalspeicher auf, welcher PMOS-Transistoren **P4** und **P5** enthält. Der NMOS-Signalspeicher und der PMOS-Signalspeicher speichern Gegendaten.

[0043] Die Widerstandsspeichereinrichtung **R3**, welche an einem gemeinsamen Drain des PMOS-Transistors **P4** und des NMOS-Transistors **N6** angeschlossen ist, speichert nicht flüchtige Daten. Die Widerstandsspeichereinrichtung **R4**, welche an einem gemeinsamen Drain des PMOS-Transistors **P5** und des NMOS-Transistors **N7** angeschlossen ist, speichert nicht flüchtige Daten.

[0044] Der Zugriffskontroller, welcher die NMOS-Transistoren **N8** und **N9** enthält, steuert einen Anschluss der Bitleitungen **BIT** und **/BIT** in Abhängigkeit von einem Freigabezustand einer Wortleitung **WL**. Der NMOS-Transistor **N8**, welcher ein an der Wortleitung **WL** angeschlossenes Gate aufweist, ist zwischen der Bitleitung **BIT** und dem Drain des NMOS-Transistors **N6** angeschlossen. Der NMOS-Transistor **N9**, welcher ein an der Wortleitung **WL** angeschlossenes Gate aufweist, ist zwischen der Bitleitung **/BIT** und dem Drain des NMOS-Transistors **N7** angeschlossen.

[0045] Die Stromversorgungseinheit weist einen PMOS-Transistor **P6** und **P7** zum Umwandeln von Daten in einen Schreibmodus auf, welche in den Widerstandsspeichereinrichtungen **R3** und **R4** gespeichert sind. Der parallel an den PMOS-Transistor **P4** angeschlossene PMOS-Transistor **P6** weist ein Gate auf, um ein Schreib-/Lese-Signal **WRC** zu empfangen. Der zum PMOS-Transistor **P5** parallel angeschlossene PMOS-Transistor **P7** weist ein Gate auf, um das Schreib-/Lese-Signal **WRC** zu empfangen.

[0046] Gate-Eingangssignale des PMOS-Signalspeichers und des NMOS-Signalspeichers sind mit einer positiven Rückkopplungsschaltung an die Widerstandsspeichereinrichtungen **R3** und **R4** angeschlossen.

[0047] Wenn das Schreib-/Lese-Steuersignal **WRC** an einem niedrigen Pegel ist, werden die PMOS-Transistoren **P6** und **P7** eingeschaltet, um eine im voraus bestimmte Spannung an die Bitleitungen **BIT** und **/BIT** anzulegen. Dann wird ein Unterschied des in den Widerstandsspeichereinrichtungen **R3** und **R4** fließenden Stroms durch einen Spannungsunterschied der Bitleitungen **BIT** und **/BIT** erzeugt. Folglich wird sich auch die an die Widerstandsspeichereinrichtungen **R3** und **R4** angelegte Wärmemenge unterscheiden.

[0048] Hier werden Spannungen der Bitleitungen **BIT** und **/BIT** bestimmt, um in den Widerstandsspeichereinrichtungen **R3** und **R4** sich über oder unter dem Schmelzpunkt befindende Wärme zu erzeugen.

[0049] **Fig. 6** ist ein Schaltplan, welcher eine nicht flüchtige Speichereinrichtung nach einer anderen Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0050] Die in **Fig. 6** gezeigte Ausführungsform unterscheidet sich von der in **Fig. 5** dadurch, dass Gate-Eingangssignale des PMOS-Signalspeichers **P4**, **P5** und des NMOS-Signalspeichers **N6** und **N7** mit einer negativen Rückkopplungsschaltung an den Widerstandsspeichereinrichtungen **R3** und **R4** angelegt sind. Die Erklärung der restlichen Konfiguration und des restlichen Betriebes ist ausgelassen, da sie denen der **Fig. 5** ähneln.

[0051] **Fig. 7** ist ein Schaltplan, welcher eine nicht flüchtige Speichereinrichtung nach einer anderen Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0052] In dieser Ausführungsform weist die nicht flüchtige Speichereinrichtung eine Flipflop-Einheit **30**, Widerstandsspeichereinrichtungen **R3** und **R4**, einen Zugriffskontroller, welcher NMOS-Transistoren **N8** und **N9** enthält, und einen Treiber auf, welcher ein NMOS-Transistor **N10** ist.

[0053] Die Flipflop-Einheit **30** umfasst einen NMOS-Signalspeicher, welcher NMOS-Transistoren **N6** und **N7** enthält. Gate-Eingangssignale der NMOS-Transistoren **N6** und **N7** sind mit einer positiven Rückkopplungsschaltung an die Widerstandsspeichereinrichtungen **R3** und **R4** angeschlossen.

[0054] Die Widerstandsspeichereinrichtung **R3**, welche an einem gemeinsamen Drain der NMOS-Transistoren **N6** und **N10** angeschlossen ist, speichert nicht flüchtige Daten. Die Widerstandsspeichereinrichtung **R4**, welche an einem gemeinsamen Drain der NMOS-Transistoren **N7** und **N10** angeschlossen ist, speichert nicht flüchtige Daten.

[0055] Der Zugriffskontroller beinhaltet NMOS-Transistoren **N8** und **N9** zum Steuern des Anschlusses der Bitleitungen **BIT** und **/BIT** in Abhängigkeit eines Freigabezustands einer Wortleitung **WL**. Der NMOS-Transistor **N8**, welcher ein an die Wortleitung **WL** angeschlossenes Gate aufweist, ist zwischen der Bitleitung **BIT** und einem Drain des NMOS-Transistors **N6** angeschlossen. Der NMOS-Transistor **N9**, welcher ein an die Wortleitung **WL** angeschlossenes Gate aufweist, ist zwischen der Bitleitung **/BIT** und einem Drain des NMOS-Transistors **N7** angeschlossen.

[0056] Der Treiber beinhaltet einen NMOS-Transistor **N10**. Der NMOS-Transistor **N10**, welcher zwischen einem Stromspannungs- (**VCC**) Terminal und den Widerstandsspeichereinrichtungen **R3** und **R4** angeschlossen ist, weist ein Gate auf, um ein Schreib-/Lese-Steuersignal **WRC** zu empfangen.

[0057] **Fig. 8** ist ein Schaltplan, welcher eine nicht flüchtige Speichereinrichtung nach einer anderen Ausführungsform der vorliegenden Erfindung veranschaulicht.

rungsform der vorliegenden Erfindung veranschaulicht.

[0058] In der nicht flüchtigen Speichereinrichtung der Fig. 8 sind Gate-Eingangssignale der NMOS-Transistoren mit einer negativen Rückkopplungsschaltung an den Widerstandsspeichereinrichtungen R3 und R4 angeschlossen. Die nicht flüchtige Speichereinrichtung der Fig. 8 beinhaltet keinen NMOS-Transistor N10, wie die der Fig. 7. Die Erklärung der restlichen Konfiguration und des restlichen Betriebes ist ausgelassen, da sie denen der Fig. 7 ähneln.

[0059] Fig. 9 ist ein Schaltplan, welcher eine nicht flüchtige Speichereinrichtung nach einer anderen Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0060] Die nicht flüchtige Speichereinrichtung der Fig. 9 beinhaltet eine Flipflop-Einheit 30, Widerstandsspeichereinrichtungen R3 und R4 und einen Zugriffskontroller, welcher NMOS-Transistoren N8 und N9 umfasst.

[0061] Die Flipflop-Einheit 30 weist einen NMOS-Signalspeicher auf, welcher NMOS-Transistoren N6 und N7 enthält. Gate-Eingangssignale der NMOS-Transistoren N6 und N7 sind mit einer positiven Rückkopplungsschaltung an den Widerstandsspeichereinrichtungen R3 und R4 angeschlossen.

[0062] Die Widerstandsspeichereinrichtung R3, welche zwischen einem Terminal des NMOS-Transistors P8 und einem Drain des NMOS-Transistors N6 angeschlossen ist, speichert nicht flüchtige Daten. Die Widerstandsspeichereinrichtung R4, welche zwischen einem Terminal des NMOS-Transistors P9 und einem Drain des NMOS-Transistors N7 angeschlossen ist, speichert nicht flüchtige Daten.

[0063] Der die NMOS-Transistoren N8 und N9 enthaltende Zugriffskontroller steuert einen Anschluss der Bitleitungen BIT und /BIT in Abhängigkeit des Freigabezustandes einer Wortleitung WL. Der NMOS-Transistor N8, welcher ein an die Wortleitung WL angeschlossenes Gate aufweist, ist zwischen der Bitleitung BIT und einem Terminal der Widerstandsspeichereinrichtung R3 angeschlossen. Der NMOS-Transistor N9, welcher ein an die Wortleitung WL angeschlossenes Gate aufweist, ist zwischen der Bitleitung /BIT und einem Terminal der Widerstandsspeichereinrichtung R4 angeschlossen.

[0064] Zwar wurde eine PCM-Einrichtung als eine Widerstandsspeichereinrichtung in den oberen Ausführungsformen veranschaulicht, aber als Alternative kann eine MTJ (Magnetische Tunnelverknüpfung) oder eine GMR (Riesen-Magnet-Widerstands-) Einrichtung als eine Widerstandsspeichereinrichtung angewendet werden.

[0065] Außerdem kann eine nicht flüchtige Speichereinrichtung nach einer Ausführungsform der vorliegenden Erfindung als eine nicht flüchtige, programmierbare Gate-Speichereinrichtung, wie z.B. ein FPGA (Feld-programmierbare Gate Array) verwendet werden.

[0066] Wie bereits besprochen, kann eine nicht flüchtige Speichereinrichtung durch Anwenden einer Widerstandsspeichereinrichtung in einer Ausführungsform der vorliegenden Erfindung ausgeführt werden. Solch ein programmierbares Register wird an einen Speicherchip angelegt, um Daten zum Steuern der Redundanz und dem Bezug zu einer Softwareart zu programmieren, wodurch die Zuverlässigkeit des Chips verbessert wird.

[0067] Zwar ist die Erfindung für verschiedene Änderungen und alternative Formen empfänglich, aber spezielle Ausführungsformen wurden anhand von Beispielen in den Zeichnungen gezeigt und hierin im Detail beschrieben. Es sollte jedoch klar sein, dass die Erfindung nicht auf die bekannt gegebenen bestimmten Formen eingeschränkt ist. Die Erfindung deckt eher alle Änderungen, Äquivalente und Alternativen, welche in den Bereich und das Wesen der Erfindung fallen, welche in den beiliegenden Ansprüchen definiert ist.

Patentansprüche

1. Nicht flüchtige Speichereinrichtung, welche einen Schreib-Betriebsmodus aufweist, beinhaltend:
einen Schreib-/Lese-Kontroller, welcher konfiguriert ist, im Schreibmodus freigegebene Schreib-/Lese-Signale selektiv zu steuern;
eine nicht flüchtige Speichereinrichtung, welche angeschlossen ist, um Schreib-/Lese-Signale vom Schreib-/Lese-Kontroller zu empfangen; und
einen Logikschalter, welcher zwei oder mehrere Schaltzustände aufweist und konfiguriert ist, zwischen den Schaltzuständen in Abhängigkeit von einem in der nicht flüchtigen Widerstandsspeichereinrichtung gespeicherten Logikwert auszuwählen, wenn die Schreib-/Lese-Signale gesperrt sind.

2. Nicht flüchtige Speichereinrichtung nach Anspruch 1, wobei der Schreib-/Lese-Kontroller folgendes beinhaltet:

einen ersten NMOS-Transistor, welcher von einem ersten Schreib-Steuersignal gesteuert wird;
einen ersten PMOS-Transistor, welcher parallel an den ersten NMOS-Transistor angeschlossen ist und durch ein zweites Schreib-Steuersignal gesteuert wird, welches eine Gegenphase zu dem ersten Schreib-Steuersignal aufweist.

3. Nicht flüchtige Speichereinrichtung nach Anspruch 1, wobei die nicht flüchtige Speichereinrichtung folgendes beinhaltet:

eine erste Widerstandsspeichereinrichtung, welche einen Widerstandszustand aufweist und zwischen einem ersten Eingangsknotenpunkt und einem Ausgangsknotenpunkt des Schreib-/Lese-Kontrollers angeschlossen ist; und

eine zweite Widerstandsspeichereinrichtung, welche einen einstellbaren Widerstandszustand aufweist und zwischen einem zweiten Eingangsknotenpunkt und einem zweiten Ausgangsknotenpunkt des Schreib-/Lese-Kontrollers angeschlossen ist.

4. Nicht flüchtige Speichereinrichtung nach Anspruch 3, wobei die Auswahl eines Schaltzustandes des Logikschalters basierend auf einem Zustand eines ersten Eingangssignals bestimmt wird, welches in die erste Widerstandsspeichereinrichtung eingegeben wird, wenn die erste Widerstandsspeichereinrichtung an einem niedrigen Widerstandszustand eingestellt ist und die zweite Widerstandsspeichereinrichtung an einem hohen Widerstandszustand eingestellt ist, und die Auswahl eines Schaltzustandes des Logikschalters basierend auf einem Zustand eines zweiten Eingangssignals bestimmt wird, welches in die zweite Widerstandsspeichereinrichtung eingegeben wird, wenn die erste Widerstandsspeichereinrichtung an einem hohen Widerstandszustand eingestellt wird und die zweite Widerstandsspeichereinrichtung an einem niedrigen Widerstandszustand eingestellt wird.

5. Nicht flüchtige Speichereinrichtung nach Anspruch 4, wobei die erste und die zweite Speichereinrichtung jeweils folgendes beinhaltet:

eine erste Elektrode, welche an einem ersten oder zweiten Eingangsknotenpunkt angeschlossen ist;

eine zweite Elektrode, welche an einem Ausgangsknotenpunkt des Schreib-/Lese-Kontrollers angeschlossen ist; und

eine Phasenumwandlungsschicht, welche zwischen der ersten und der zweiten Elektrode gebildet ist.

6. Nichtflüchtige Speichereinrichtung nach Anspruch 1, wobei die nicht flüchtige Widerstandsspeichereinrichtung zumindest entweder eine Phasenumwandlungs-Speichereinrichtung oder eine Magnetwiderstandseinrichtung oder eine Metallspeichereinrichtung beinhaltet.

7. Nicht flüchtige Speichereinrichtung, aufweisend:

eine Flipflop-Einheit, welche einen PMOS-Signalspeicher, welcher konfiguriert ist, einen Wert zu speichern, und einen NMOS-Signalspeicher umfasst, welcher konfiguriert ist, ein Komplement eines Wertes zu speichern;

eine nicht flüchtige Speichereinrichtung, welche zwischen dem PMOS-Signalspeicher und dem NMOS-Signalspeicher angeschlossen ist;

einen Zugriffskontroller zum Steuern eines Anschlusses einer Bitleitung und der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung; und

eine Stromversorgungseinheit, welche konfiguriert ist, Strom zum Umwandeln von Werten zu speisen, welche in der nicht flüchtigen Widerstandsspeichereinrichtung gespeichert sind, wenn Schreib-/Lese-Steuersignale freigegeben sind.

8. Nicht flüchtige Speichereinrichtung nach Anspruch 7, wobei Gate-Eingangssignale des PMOS-Signalspeichers und des NMOS-Signalspeichers entweder mit einer positiven Rückkopplungsschaltung oder einer negativen Rückkopplungsschaltung an der nicht flüchtigen Widerstandsspeichereinrichtung angeschlossen sind.

9. Nicht flüchtige Speichereinrichtung nach Anspruch 7, wobei die nicht flüchtige Widerstandsspeichereinrichtung eine erste Widerstandsspeichereinrichtung und eine zweite Widerstandsspeichereinrichtung beinhaltet, wobei die erste und die zweite Widerstandsspeichereinrichtung jeweils konfiguriert ist, unterschiedliche Logikwerte in Abhängigkeit von einem Unterschied in einer Strommenge zu speichern, welche durch eine an die Bitleitung angelegte Spannung erzeugt wird, wenn die Schreib-/Lese-Steuersignale freigegeben sind.

10. Nicht flüchtige Speichereinrichtung nach Anspruch 9, wobei die erste und die zweite Speichereinrichtung jeweils folgendes beinhaltet:

eine am PMOS-Signalspeicher angeschlossene erste Elektrode;

eine am NMOS-Signalspeicher angeschlossene zweite Elektrode; und

eine Phasenumwandlungsschicht, welche zwischen der ersten und der zweiten Elektrode gebildet ist.

11. Einrichtung nach Anspruch 7, wobei die Stromversorgungseinheit einen ersten PMOS-Transistor und einen zweiten PMOS-Transistor aufweist, wobei der erste und der zweite PMOS-Transistor jeweils konfiguriert ist, parallel an den PMOS-Signalspeicher angeschlossen zu sein und ein Gate aufzuweisen, welches konfiguriert ist, die Schreib-/Lese-Steuersignale zu empfangen.

12. Nicht flüchtige Speichereinrichtung, aufweisend:
eine Flipflop-Einheit, welche einen NMOS-Signalspeicher zum Speichern von Daten aufweist;
eine nicht flüchtige Widerstandsspeichereinrichtung, welche zwischen einem Stromspannungsterminal und der Flipflop-Einheit angeschlossen ist; und
einen Zugriffskontroller zum Steuern eines Anschlusses einer Bitleitung und der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung.

13. Nicht flüchtige Speichereinrichtung nach Anspruch 12, wobei der NMOS-Signalspeicher einen ersten NMOS-Transistor und einen zweiten NMOS-Transistor aufweist, welche konfiguriert sind, zwischen der Widerstandsspeichereinrichtung und einem Erdspannungsterminal mit einer Signalspeicherschaltung angeschlossen zu sein, und Gate-Eingangssignale des ersten und des zweiten NMOS-Transistors sind entweder mit einer positiven Rückkopplungsschaltung oder einer negativen Rückkopplungsschaltung an der nicht flüchtigen Widerstandsspeichereinrichtung angeschlossen.

14. Nicht flüchtige Speichereinrichtung nach Anspruch 12, wobei die nicht flüchtige Widerstandsspeichereinrichtung eine erste Widerstandsspeichereinrichtung und eine zweite Widerstandsspeichereinrichtung aufweist, wobei die erste und die zweite Widerstandsspeichereinrichtung jeweils konfiguriert ist, unterschiedliche Logikwerte in Abhängigkeit von einem Unterschied in der durch eine an die Bitleitung angelegte Spannung erzeugten Strommenge zu speichern.

15. Nicht flüchtige Speichereinrichtung nach Anspruch 14, wobei die erste und die zweite Widerstandsspeichereinrichtung jeweils folgendes beinhaltet:
eine am Stromspannungsterminal angeschlossene erste Elektrode;
eine am NMOS-Signalspeicher angeschlossene zweite Elektrode; und
eine Phasenumwandlungsschicht, welche zwischen der ersten und der zweiten Elektrode gebildet ist.

16. Nicht flüchtige Speichereinrichtung nach Anspruch 12, welche weiter eine Treiberschaltung beinhaltet, welche konfiguriert ist, eine Stromspannung an die nicht flüchtige Widerstandsspeichereinrichtung zu speisen, wenn Schreib-/Lese-Steuersignale freigegeben sind.

17. Nicht flüchtige Speichereinrichtung, aufweisend:
eine Flipflop-Einheit, welche einen NMOS-Signalspeicher zum Speichern eines Wertes und seines Komplements enthält;
einen Zugriffskontroller zum Steuern eines Anschlusses einer Bitleitung an der Flipflop-Einheit in Abhängigkeit von einem Freigabezustand einer Wortleitung; und
eine nicht flüchtige Widerstandsspeichereinrichtung, welche zwischen der Flipflop-Einheit und dem Zugriffskontroller angeschlossen ist.

18. Nicht flüchtige Speichereinrichtung nach Anspruch 17, wobei der NMOS-Signalspeicher einen ersten NMOS-Transistor und einen zweiten NMOS-Transistor aufweist, welche konfiguriert sind, mit einer Signalspeicherschaltung zwischen der Widerstandsspeichereinrichtung und einem Erdspannungsterminal angeschlossen zu sein, und Gate-Eingangssignale des ersten und des zweiten NMOS-Transistors mit einer positiven Rückkopplungsschaltung an die nicht flüchtige Widerstandsspeichereinrichtung angeschlossen sind.

19. Nicht flüchtige Speichereinrichtung nach Anspruch 17, wobei die nicht flüchtige Widerstandsspeichereinrichtung eine erste Widerstandsspeichereinrichtung und eine zweite Widerstandsspeichereinrichtung aufweist, wobei jede Widerstandsspeichereinrichtung konfiguriert ist, unterschiedliche Logikwerte in Abhängigkeit von einem Unterschied der durch eine an die Bitleitung angelegte Spannung erzeugten Strommenge.

20. Nicht flüchtige Speichereinrichtung nach Anspruch 19, wobei die erste und die zweite Widerstandsspeichereinrichtung jeweils folgendes aufweist:
eine erste an den Zugriffskontroller angeschlossene Elektrode;
eine am NMOS-Signalspeicher angeschlossene zweite Elektrode; und
eine Phasenumwandlungsschicht, welche zwischen der ersten und der zweiten Elektrode gebildet ist.

21. Elektronische Vorrichtung, aufweisend:
eine Schreib-/Lese-Kontrollereinheit zum selektiven Steuern der Schreib-/Lese-Steuersignale, welche in einem Schreibmodus freigegeben sind;
eine Widerstandsspeichereinrichtung zum Speichern von Daten basierend auf Widerstandszuständen, welche durch Speisen einer Strommenge durch die Einrichtung umgewandelt werden können, wenn die Schreib-/Le-

se-Steuersignale freigegeben sind; und
eine Logikschalteinheit zum Auswählen zwischen Schaltzuständen, welche auf Logikwerten basieren, welche in der Widerstandsspeichereinrichtung gespeichert sind, wenn die Schreib-/Lese-Signale gesperrt sind.

22. Elektronische Vorrichtung, aufweisend:
eine Einrichtung zum Speichern von Daten;
eine Widerstandsspeichereinrichtung zum Speichern von Daten als Widerstandszustände, welche durch einen angelegten elektrischen Strom eingestellt werden können, wobei die Widerstandsspeichereinrichtung an die Einrichtung zum Speichern von Daten gekoppelt ist;
eine Zugriffskollereinheit zum Anschließen einer Dateneingabe an der Einrichtung zum Speichern von Daten in Erwiderung auf einen Freigabezustand einer Wortleitung; und
eine Stromversorgungseinheit zur Stromversorgung der Widerstandsspeichereinrichtungen zum Umwandeln eines Widerstandszustandes in Erwiderung auf ein Schreib-Steuersignal.

23. Verfahren zum Speichern von Daten in einem Speicher, welches folgende Schritte beinhaltet:
selektives Steuern von Schreib-/Lese-Steuersignalen, welche in einem Schreibmodus eines Controllers freigegeben werden;
Speichern von Daten in einem Widerstandsspeicher, welcher auf Widerstandszuständen basiert, welche durch Speisen einer Strommenge durch den Widerstandsspeicher umgewandelt werden können, wenn die Schreib-/Lese-Steuersignale freigegeben sind; und
Auswählen zwischen Schaltzuständen, welche auf im Widerstandsspeicher gespeicherten Logikwerten basieren, wenn die Schreib-/Lese-Steuersignale gesperrt sind.

Es folgen 10 Blatt Zeichnungen

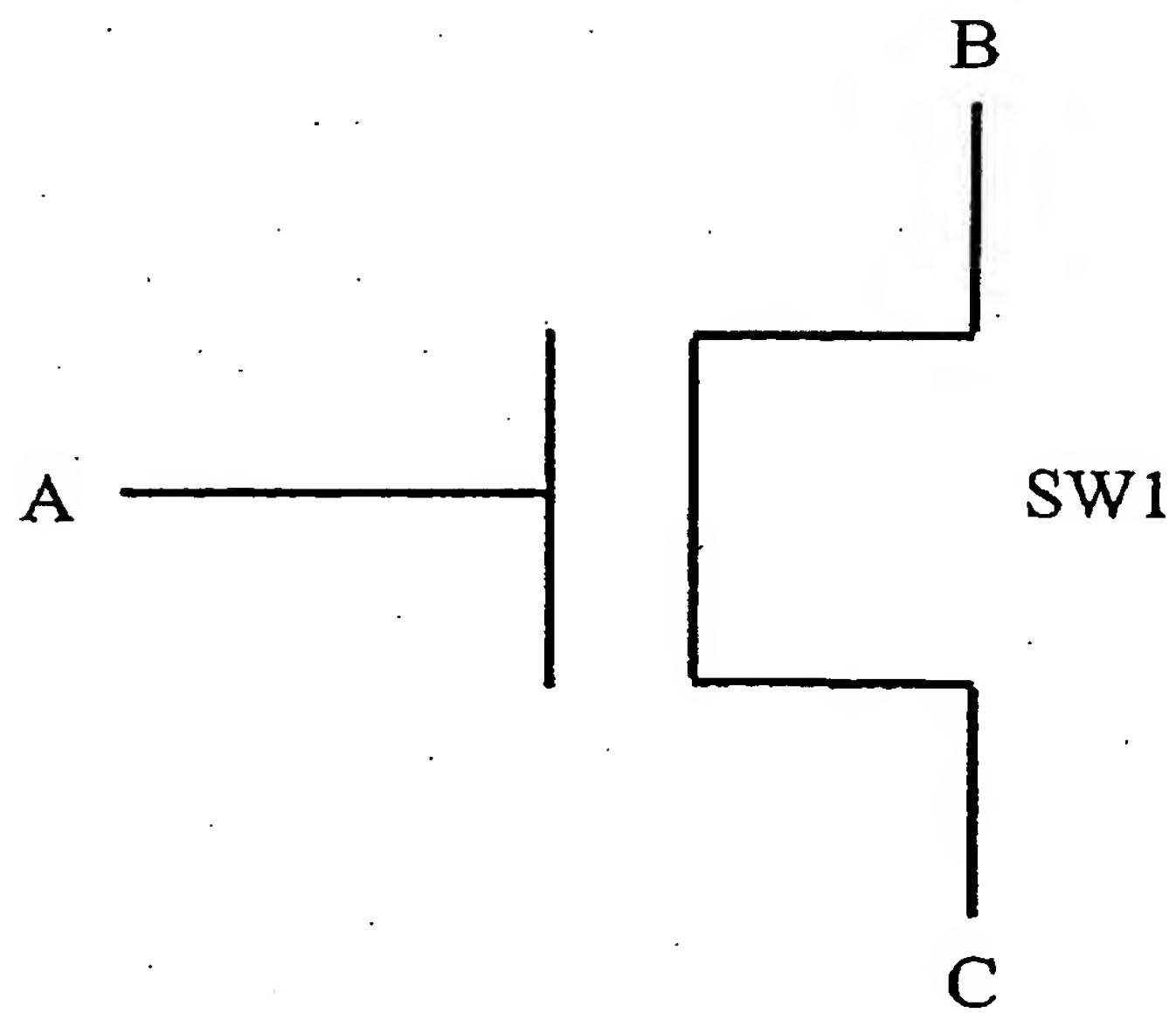


Fig.1
(Stand der Technik)

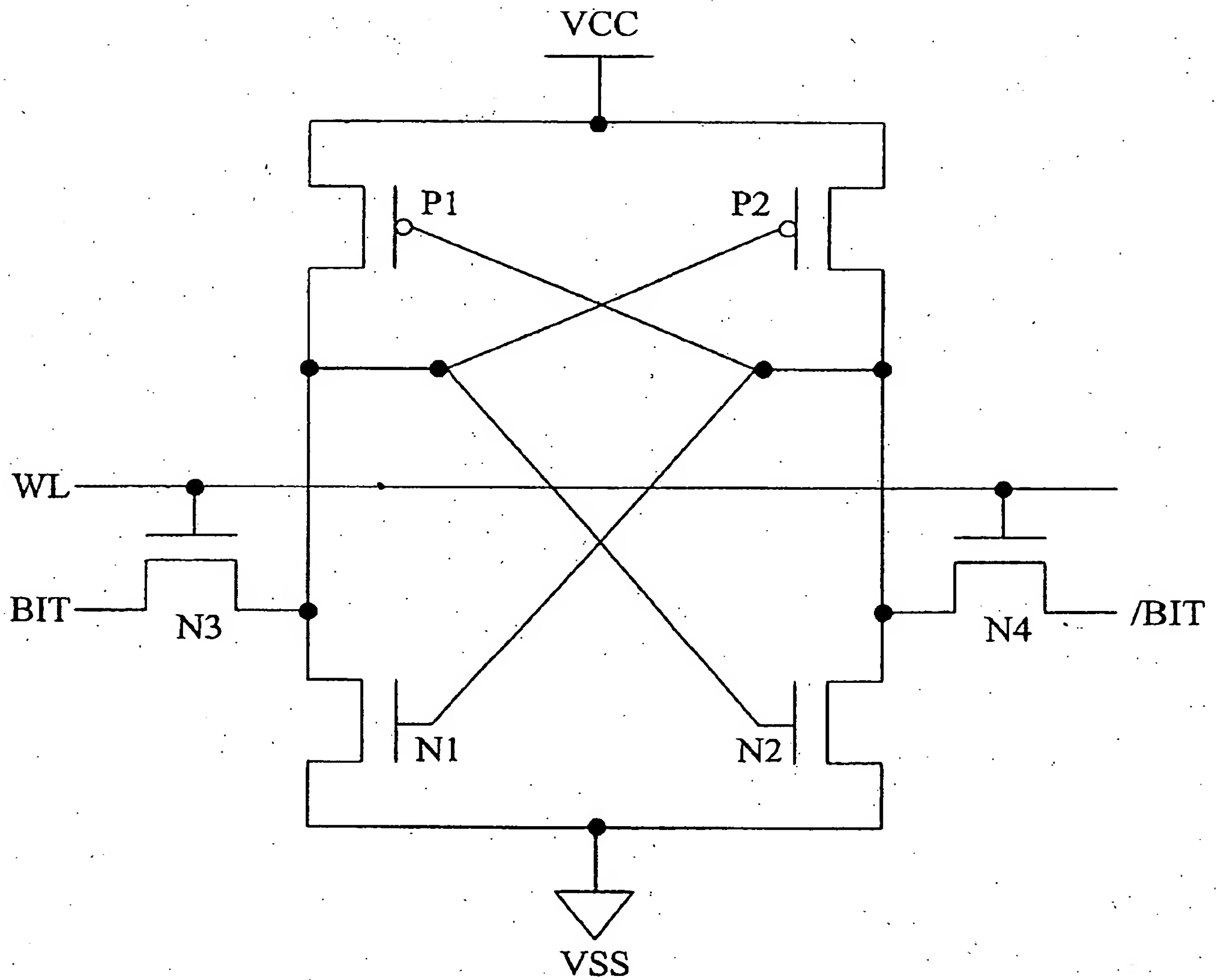


Fig. 2
(Stand der Technik)

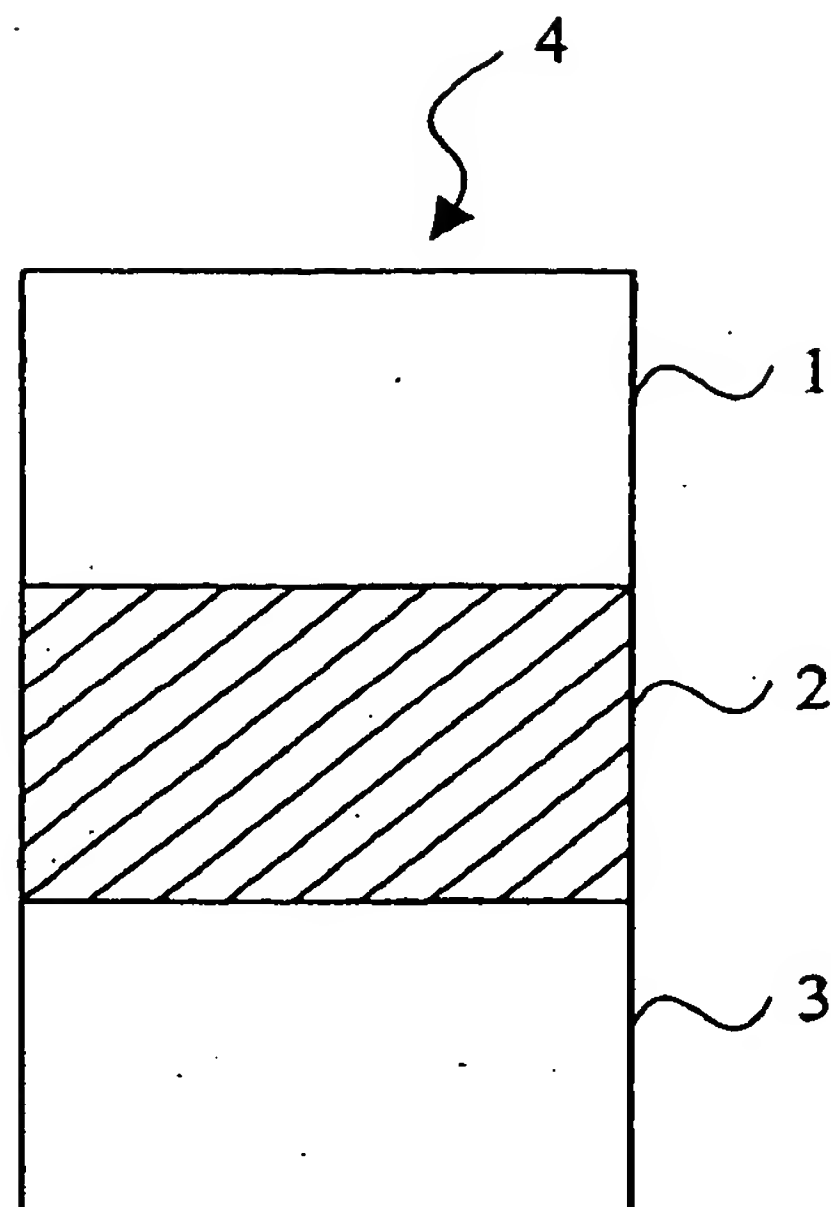


Fig. 3a
(Stand der Technik)

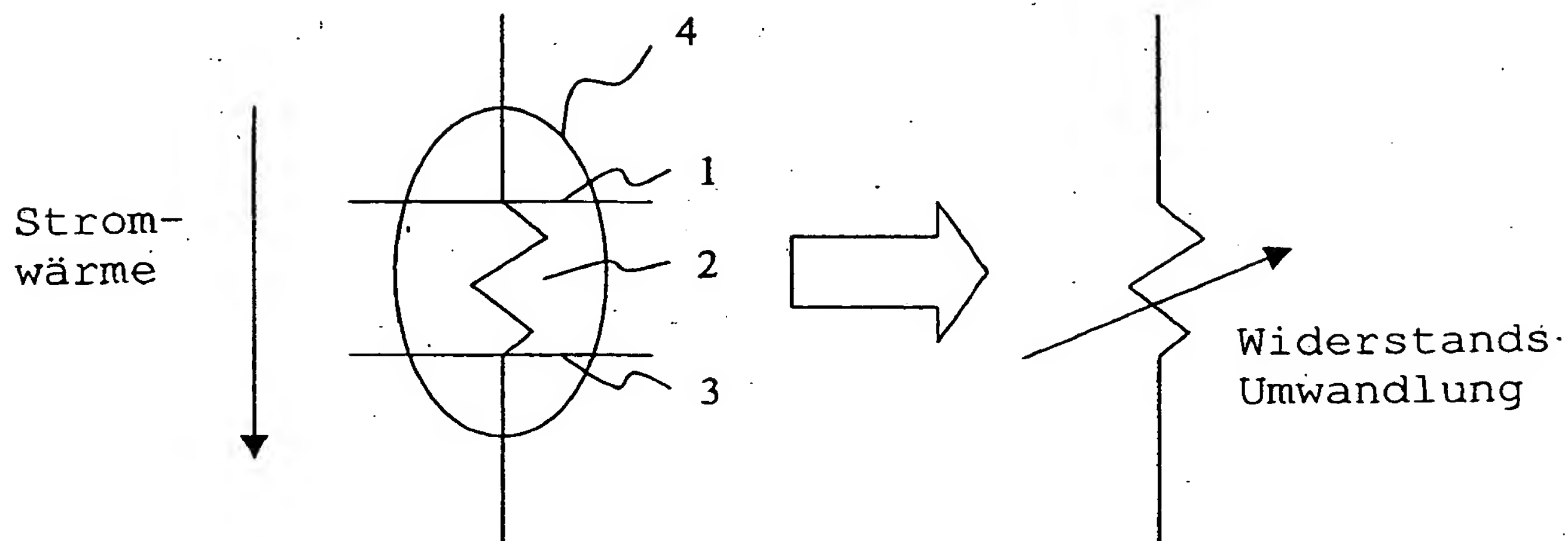


Fig. 3b
(Stand der Technik)

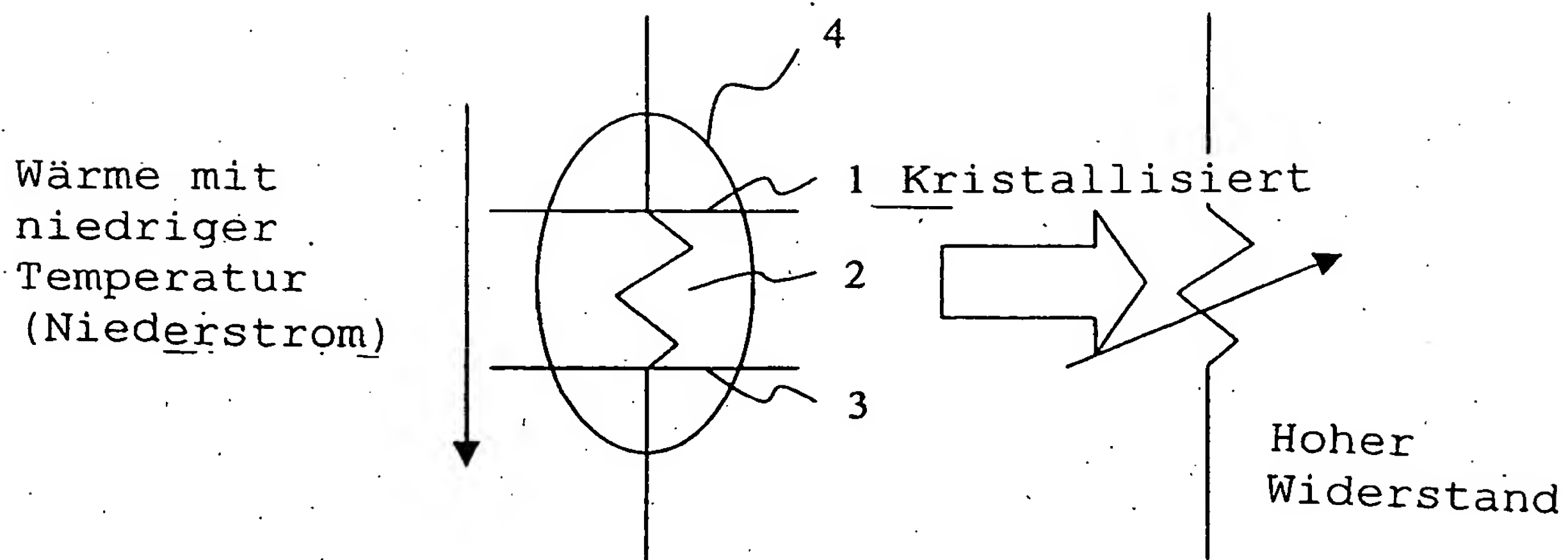


Fig. 3c
(Stand der Technik)

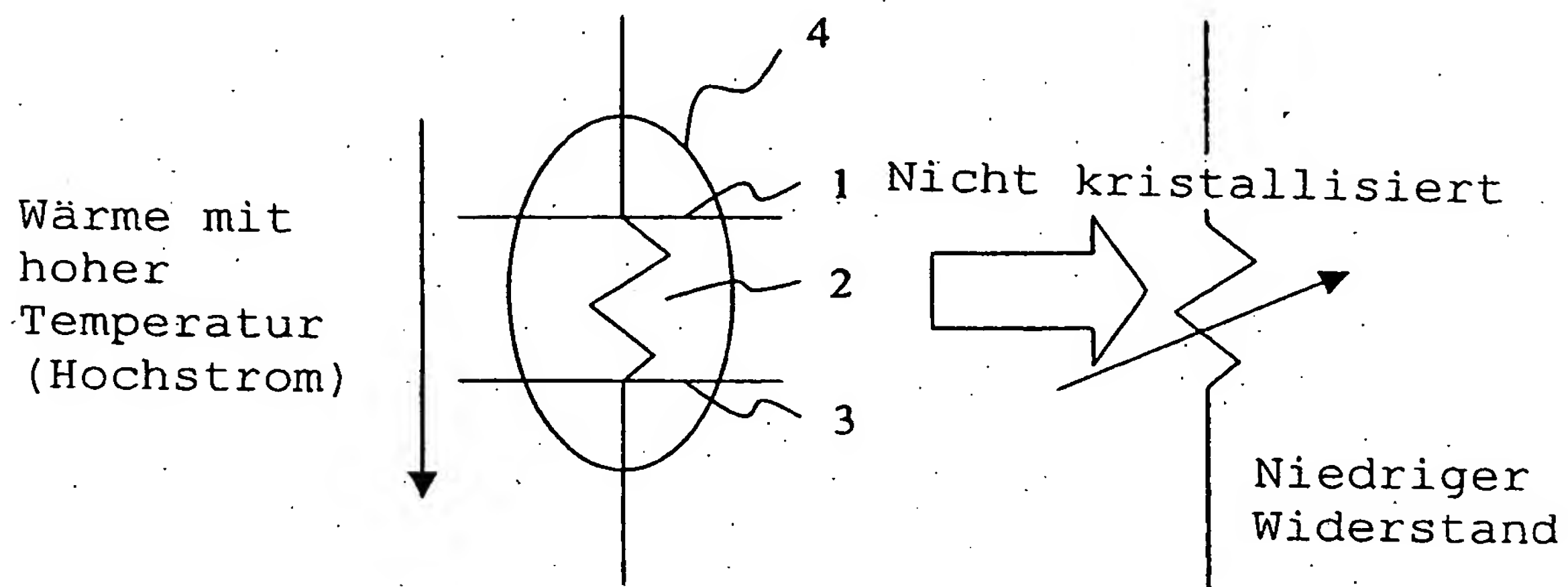


Fig. 3d
(Stand der Technik)

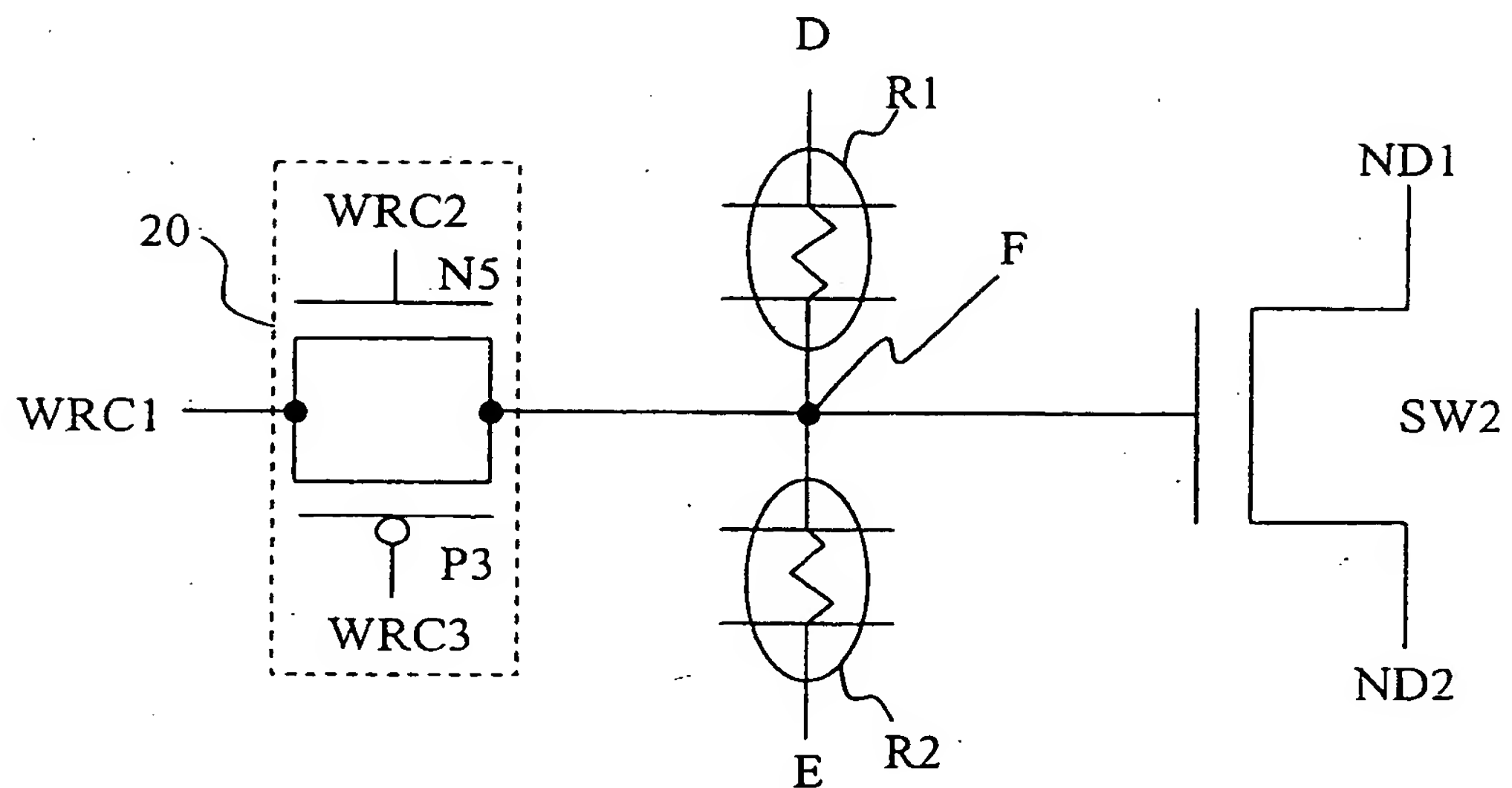


Fig.4a

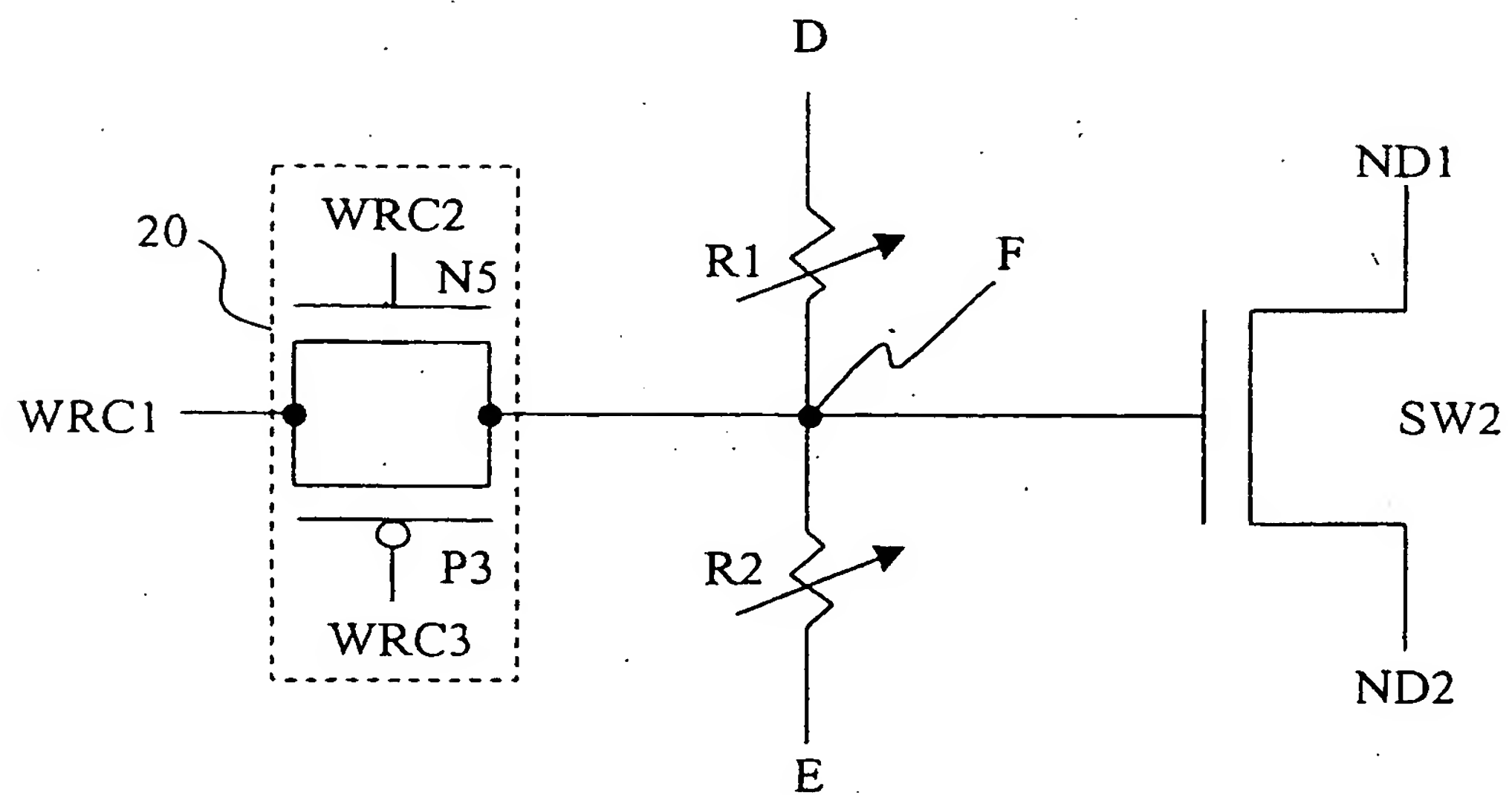


Fig.4b

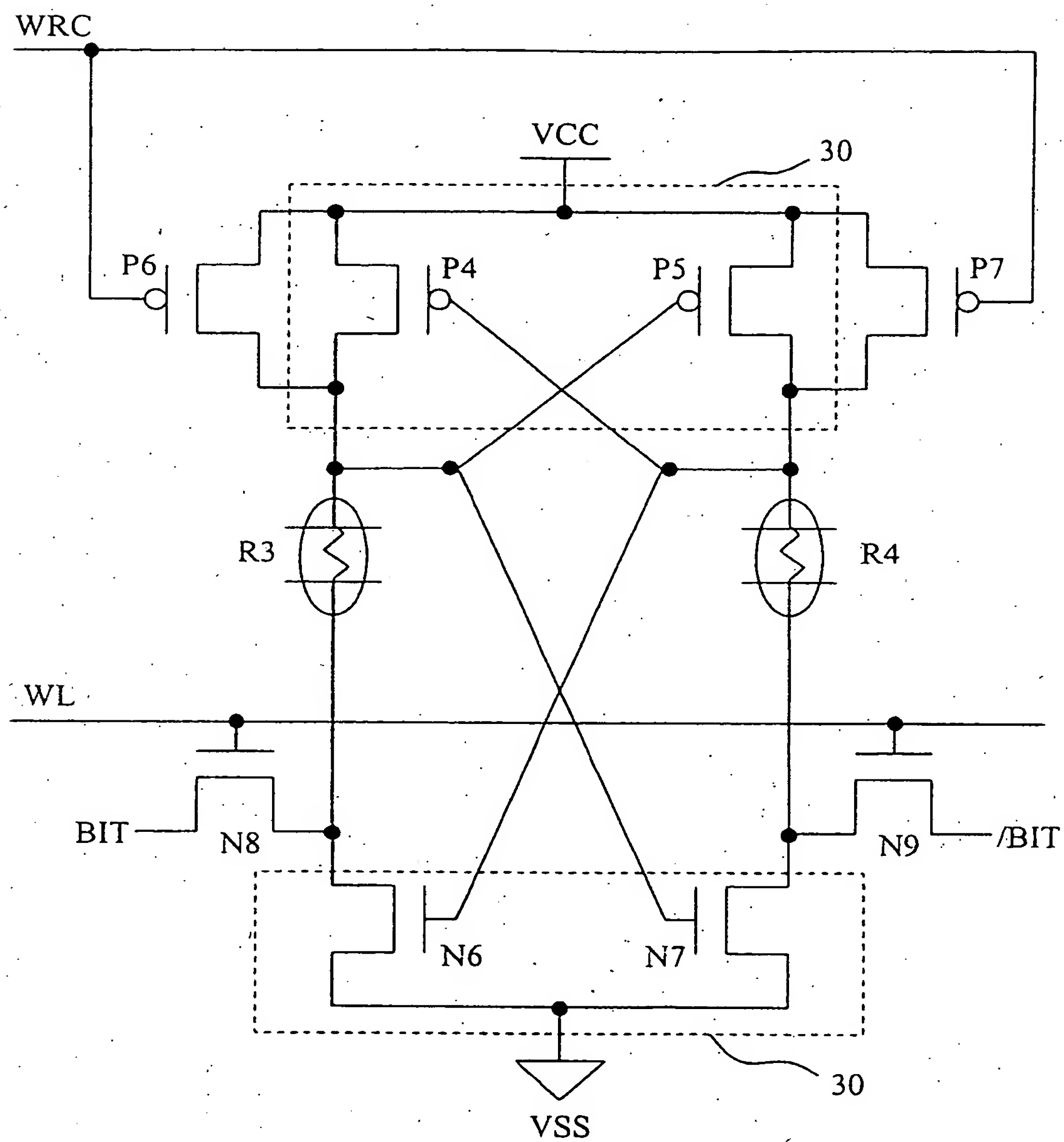


Fig.5

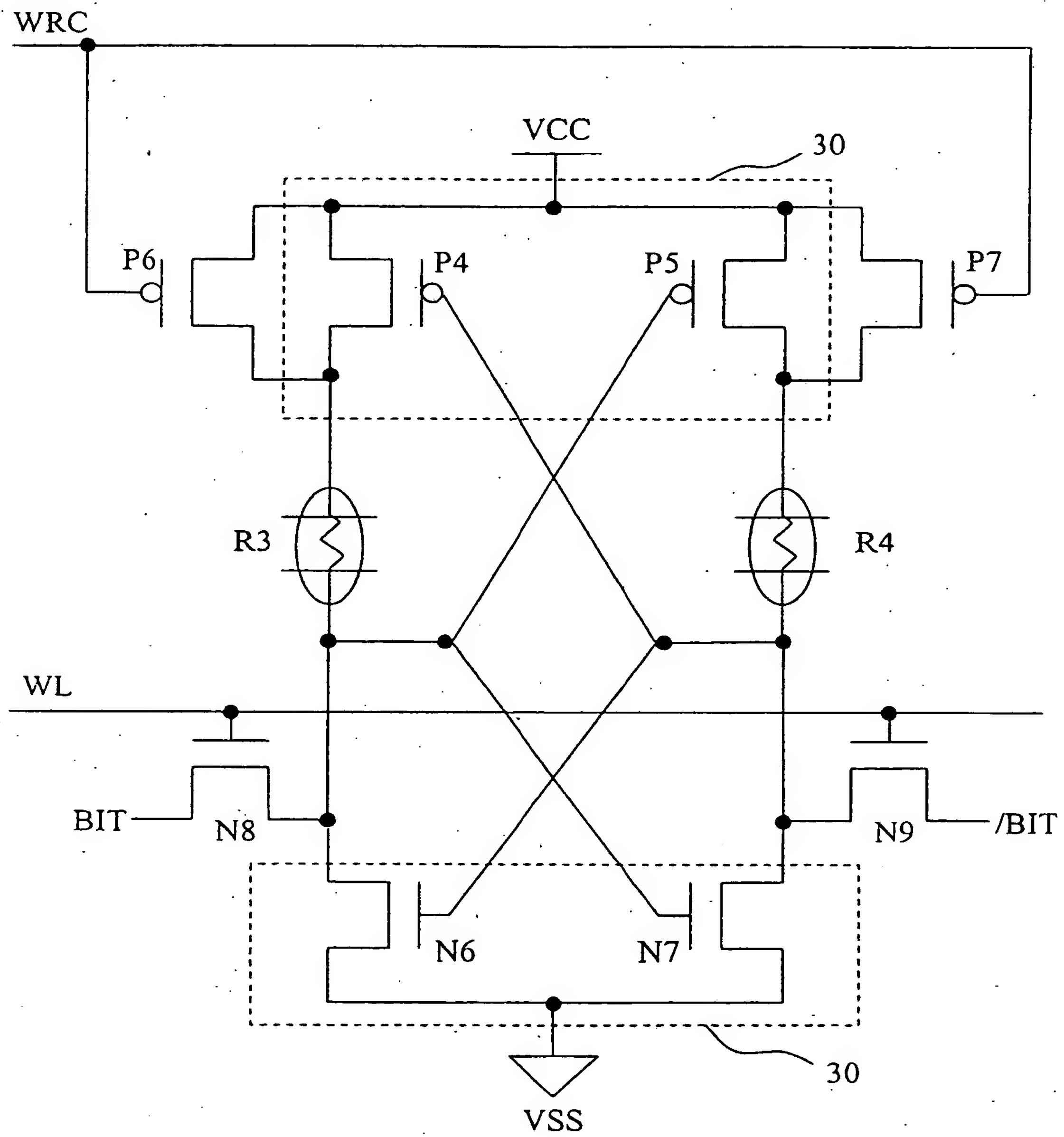


Fig.6

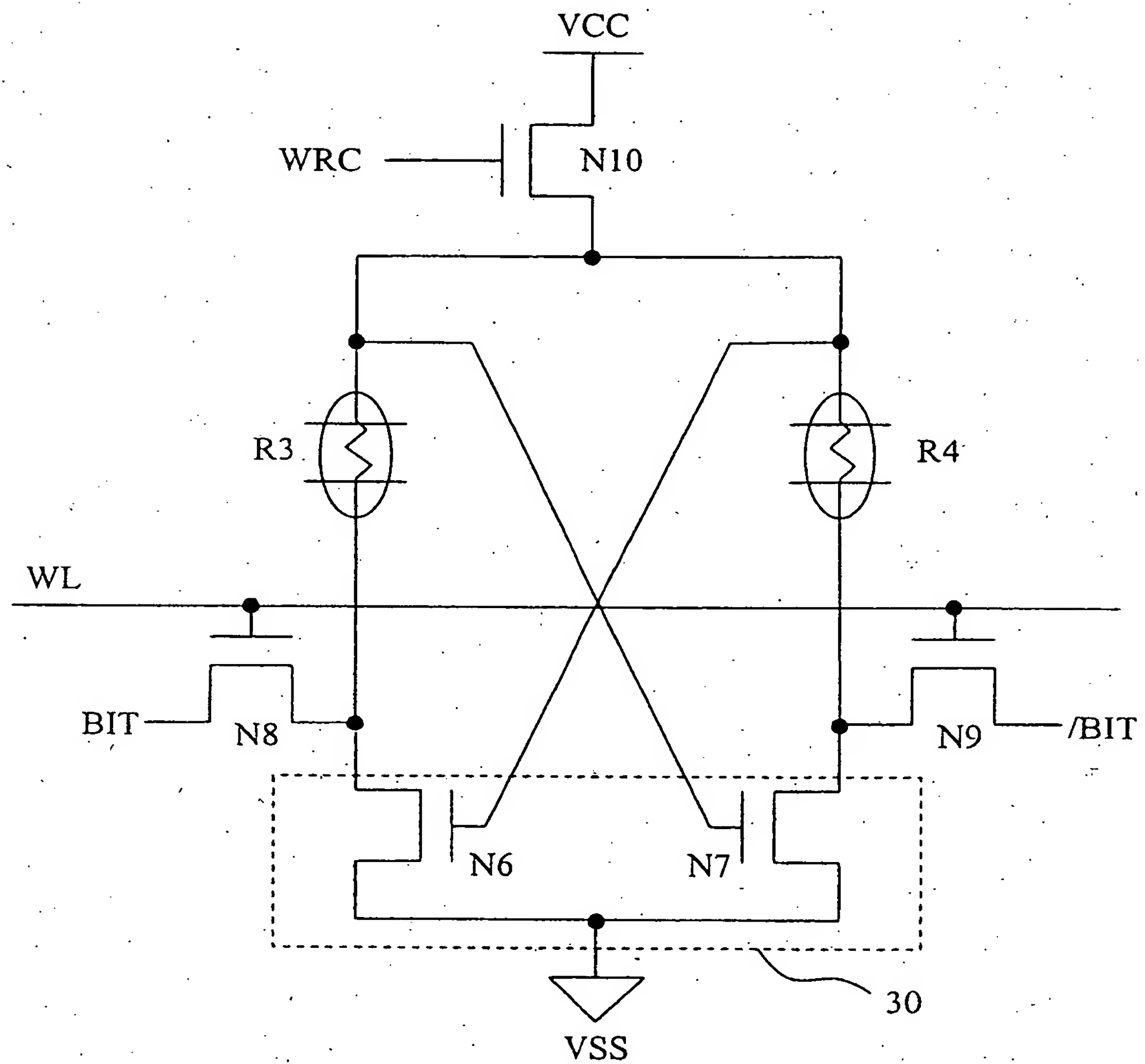


Fig.7

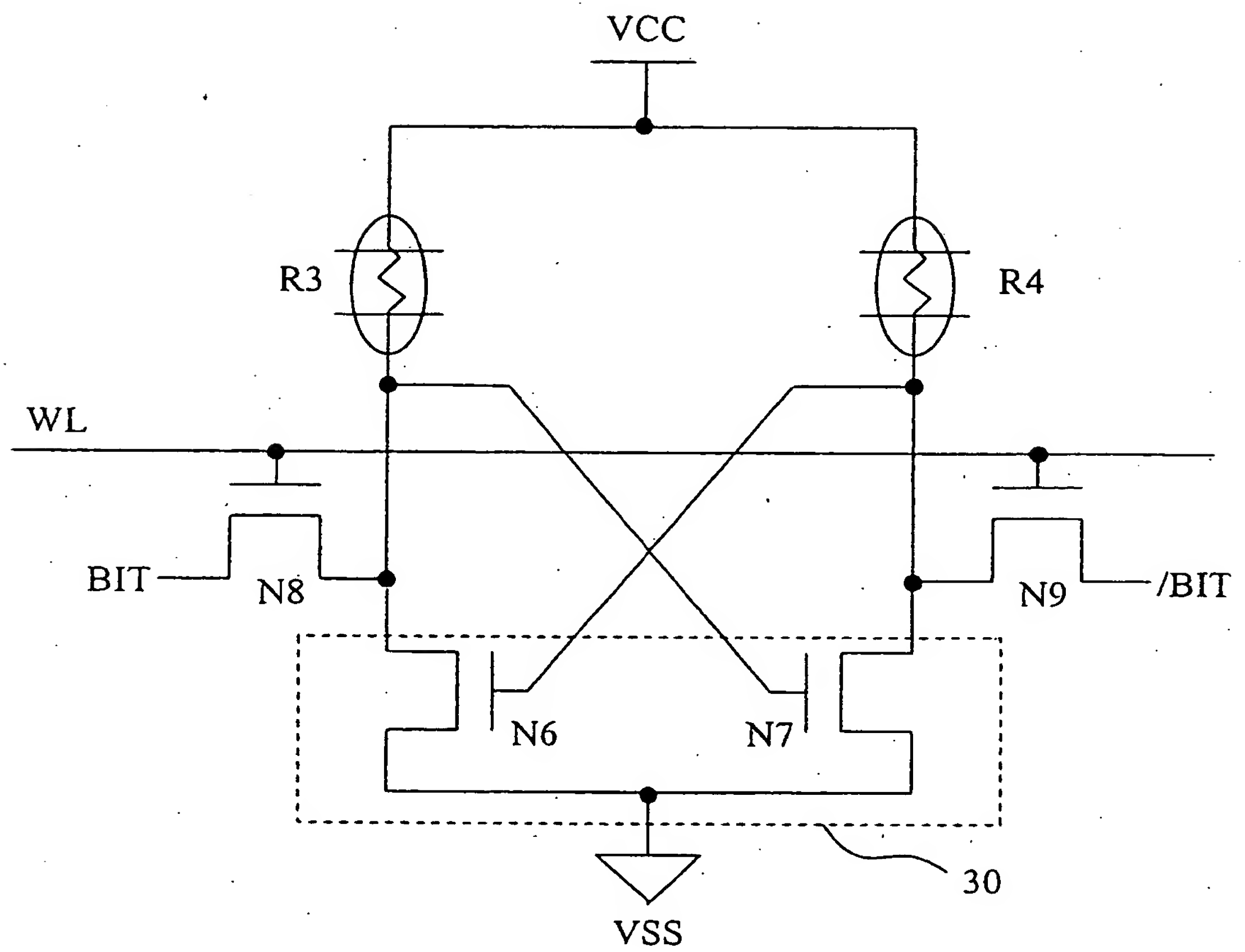


Fig.8